

(11)Publication number : 09-186599
(43)Date of publication of application : 15.07.1997

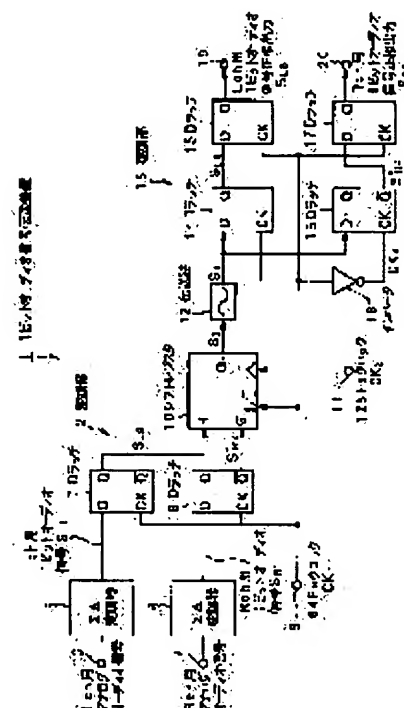
H03M 3/02

(71)Applicant : SONY CORP

(72)Inventor : ICHIMURA HAJIME
NOGUCHI MASAYOSHI

(57)Abstract:

SOLUTION: A D latch 7 of a modulation section in a 1-bit audio signal transmitter 1 latches a 1-bit audio signal for L-channel from a $\Sigma\Delta$ modulator 5 to provide the output of a noninverting signal and a D latch 8 latches a R channel signal to provide the output of an inverted phase signal and a shift register 10 uses the modulation signal. The register 10 controls input data to send a phase modulation 1-bit audio signal to a transmission line 12. A D latch 14 of a demodulation section 13 latches a noninverting signal at a leading of a clock signal and a D latch 16 latches an inverting signal at an inverted trailing edge. Thus, the L channel noninverting signal and the R channel noninverting signal synchronously with timing are led from output terminals 19, 20.



[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-186599

(43)公開日 平成9年(1997)7月15日

(51) Int.Cl.⁶
H 0 3 M 3/02

識別記号

庁内整理番号
9382-5K

F I
H O 3 M 3/02

技術表示箇所

審査請求 未請求 請求項の数5 OL (全 9 頁)

(21)出願番号 特願平7-344166

(22)出願日 平成7年(1995)12月28日

(71) 出國人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 市村 元

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 野口 雅義

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

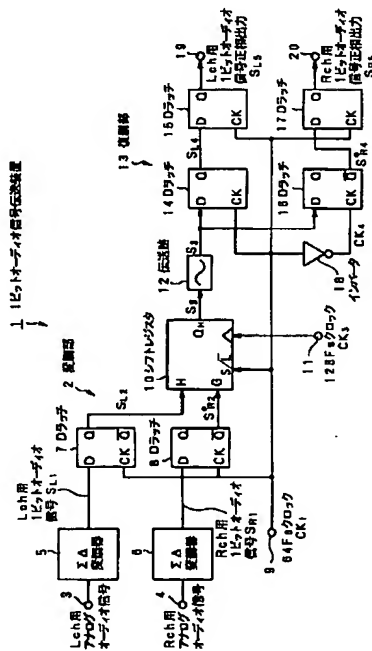
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 信号伝送装置及び方法

(57)【要約】

【課題】 $\Sigma\Delta$ 変調された1ビットオーディオ信号を送信する際には、該1ビットオーディオ信号の低域成分がアナログオーディオ信号成分であるので、ディジタル回路に電源変動や輻射ノイズを発生させてしまい、高品質のディジタル伝送を妨げる。

【解決手段】 変調部２は、相関性の高いステレオ２チャンネルの１ビット信号の内のＬチャンネル信号とＲチャンネル信号とをＲチャンネル信号を逆相としてから２倍のレートで交互に配置して変調信号を生成する。復調部１３は、伝送路１２が通した変調部２からの上記変調信号を復調する。



【特許請求の範囲】

【請求項1】 シグマデルタ変調により得られた1ビット信号を伝送部を通して伝送する信号伝送装置において、

相関性の高いnチャンネルの上記1ビット信号をn倍のレートの時分割データ列に変換すると共に変換されたデータを1ビット毎に交互に反転して変調信号を生成し、この変調信号を送信する変調手段と、

上記伝送部が通した上記変調手段からの上記変調信号を復調する復調手段とを備えることを特徴とする信号伝送装置。

【請求項2】 上記変調手段はステレオ2チャンネルの上記1ビット信号の内のLチャンネルとRチャンネルとを、何れか一方を逆相としてから2倍のレートで交互に配置して変調信号を生成することを特徴とする請求項1記載の信号伝送装置。

【請求項3】 上記変調手段は、内部で同一の直流バイアス電圧のかかった二つのシグマデルタ変調手段にアナログ信号とその位相が反転された反転アナログ信号とを入力して得た二つの出力をシグマデルタ変調時の倍のレートで交互に配置して上記変調信号を生成することを特徴とする請求項1記載の信号伝送装置。

【請求項4】 上記復調手段は、アナログ非巡回形フィルタを用いて、上記変調信号を復調することを特徴とする請求項1記載の信号伝送装置。

【請求項5】 シグマデルタ変調により得られた1ビット信号を伝送部を通して伝送する信号伝送方法において、

相関性の高いnチャンネルの上記1ビット信号をn倍のレートの時分割データ列に変換すると共に変換されたデータを1ビット毎に交互に反転して変調信号を生成し、この変調信号を送信する変調工程と、

上記伝送部が通した上記変調工程からの上記変調信号を復調する復調工程とを備えることを特徴とする信号伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シグマデルタ変調された1ビット信号を伝送する信号伝送装置及び方法に関する。

【0002】

【従来の技術】一般的に、音声信号をデジタル化する方法としては、アナログオーディオ信号を例えばサンプリング周波数44.1KHz、データ語調16ビットのマルチビットオーディオ信号に変換する方法が知られている。

【0003】これに対して、近時ではシグマデルタ($\Sigma\Delta$)変調と呼ばれる方法で音声信号をデジタル化して得られた1ビットオーディオ信号をそのままアナログオーディオ信号に変換することが考えられるようになって

た。

【0004】 $\Sigma\Delta$ 変調された1ビットオーディオ信号は、従来のマルチビットオーディオ信号に使われてきたデータのフォーマットに比べて、例えばサンプリング周波数が44.1KHzの64倍でデータ語長が1ビットというように、非常に高いサンプリング周波数と短いデータ語長といった形をしており、広い伝送可能周波数帯域を特長にしている。また、 $\Sigma\Delta$ 変調により1ビットオーディオ信号であっても、64倍というオーバーサンプリング周波数に対して低域であるオーディオ帯域において、高いダイナミックレンジをも確保できる。

【0005】この特徴を生かして $\Sigma\Delta$ 変調によって得られた1ビットオーディオ信号は、高音質のレコーダーやデータ伝送に応用することができる。

【0006】 $\Sigma\Delta$ 変調回路自体はとりわけ新しい技術ではなく、回路構成がIC化に適していて、また比較的簡単にAD変換の精度を得ることができることから従来からA/Dコンバータの内部などではよく用いられている回路である。

【0007】 $\Sigma\Delta$ 変調により得られた上記1ビットオーディオ信号は、簡単なアナログローパスフィルタを通すことによって、アナログオーディオ信号に戻すことができる。

【0008】

【発明が解決しようとする課題】ところで、この1ビットオーディオ信号は1と0の純然たるデジタル信号でありながら、アナログローパスフィルタを通すことによって、アナログオーディオ信号に戻すことができることからわかるようにその低域成分はアナログオーディオ信号成分そのものである。

【0009】したがって、それらを伝送するデジタル回路にアナログオーディオ信号成分も流れることになり、それらを伝送することによるデジタル回路の電源変動や輻射ノイズはアナログオーディオ信号と非常に相関の高いものとなり、伝送されるデジタル信号自身が電源変動により振幅方向に変調を受け、その結果アナログオーディオ信号成分に非常に相関の高いジッタ変動が発生するので音の品質を落とすことになる。これは、デジタル信号は1と0の判定にあたってあるスレッシュホールドに対する信号振幅値の大小を基準にしているため、電源変動により振幅値が微小変動をうけると、そのスレッシュホールドを超えるタイミングがかわることになり、結果ジッタ変動が発生することによる。

【0010】また、アナログオーディオ部にデジタル回路による輻射ノイズが混入して悪影響を与えたりすることにもなる。この輻射ノイズにはアナログオーディオ信号成分も含まれているのでD/Aされた信号に対してそのD/A以前のタイミングでおなじアナログオーディオ信号成分が輻射ノイズによりアナログオーディオ部に混入され、特に有害である。

【0011】本発明は、上記実情に鑑みてなされたものであり、 $\Sigma\Delta$ 変調された1ビットデジタル信号を送送する際、アナログオーディオ信号成分を抑制して高品質なデジタル信号伝送を可能とする信号伝送装置及び方法の提供を目的とする。

【0012】

【課題を解決するための手段】本発明に係る信号伝送装置は、上記課題を解決するために、相関性の高い n チャンネルの上記1ビット信号を n 倍のレートの時分割データ列に変換すると共に変換されたデータを1ビット毎に交互に反転して変調信号を生成し、伝送部を介したこの変調信号を復調する。

【0013】また、本発明に係る信号伝送方法は、上記課題を解決するために、相関性の高い n チャンネルの上記1ビット信号を n 倍のレートの時分割データ列に変換すると共に変換されたデータを1ビット毎に交互に反転して変調信号を生成し、伝送部を介したこの変調信号を復調する。

【0014】

【発明の実施の形態】以下、本発明に係る信号伝送装置及び方法の実施の形態について説明する。

【0015】先ず、第1の実施形態について図1～図3を参照しながら説明する。この第1の実施形態は、シグマデルタ($\Sigma\Delta$)変調により得られた1ビットオーディオ信号を送送路12を通して伝送する1ビットオーディオ信号伝送装置1であり、相関性の高いステレオ2チャンネルの1ビット信号の内のLチャンネル信号とRチャンネル信号とをRチャンネル信号を逆相としてから2倍のレートで交互に配置して変調信号 S_s を生成する変調部2と、伝送路12が通した変調部2からの上記変調信号 S_s を復調する復調部13とを備えてなる。この1ビットオーディオ信号伝送装置1は、1本の伝送路12でステレオ2チャンネル信号を送送したい場合に有効である。通常ステレオ2チャンネル信号は、左右の相関が高い。つまりステレオでいうとセンター成分が多い。そこで、Lチャンネル、Rチャンネルを送送時逆相にし、1ビットおきにLチャンネル信号、Rチャンネル信号交互にひとつのストリームに入れ込み伝送することにより、ほとんどのアナログオーディオ帯域の成分であるセンター成分を除去できる。

【0016】変調部2は、 $\Sigma\Delta$ 変調器5から供給されるステレオLチャンネル(ch)用1ビットオーディオ信号 S_{L1} をラッチして正相出力 S_{L2} を出力するDラッチ7と、 $\Sigma\Delta$ 変調器6から供給されるステレオRch用1ビットオーディオ信号 S_{R1} をラッチして逆相出力 S_{R2}^* を出力するDラッチ8と、これら正相出力 S_{L2} 及び逆相出力 S_{R2}^* から変調信号 S_s を生成するシフトレジスタ10とを備えてなる。

【0017】ここで、Lch用1ビットオーディオ信号 S_{L1} は、入力端子3から入力されるLch用アナログオ

ーディオ信号に $\Sigma\Delta$ 変調器5が $\Sigma\Delta$ 処理を施すことによって得られる。また、Rch用1ビットオーディオ信号 S_{R1} は、入力端子4から入力されるRch用アナログオーディオ信号に $\Sigma\Delta$ 変調器6が $\Sigma\Delta$ 処理を施すことによって得られる。

【0018】ここで、例えば $\Sigma\Delta$ 変調器5は、図2に示すような構成となる。この $\Sigma\Delta$ 変調器5について説明する。入力端子3から入力されるLch用アナログオーディオ信号は、加算器24を介して積分器25に供給される。この積分器25からの積分値は比較器26に供給され、上記アナログオーディオ信号の midpoint 電位と比較されて1サンプル期間毎に1ビット量子化処理されてLch用1ビットオーディオ信号 S_{L1} として出力される。

【0019】この1ビットオーディオ信号 S_{L1} が1サンプル遅延器27に供給されて1サンプル期間分遅延される。この遅延信号が1ビットのD/A変換器28でアナログ信号に変換されて加算器24に供給されて、上記アナログオーディオ信号に加算される。そして比較器26から出力される1ビットオーディオ信号 S_{L1} がDラッチ7に供給される。 $\Sigma\Delta$ 変調器6も同様の構成である。

【0020】 $\Sigma\Delta$ 変調器5からの図3に示すようなLch用1ビットオーディオ信号入力 S_{L1} は、クロック入力端子9から供給される64F、クロック CK_1 の立ち上がりエッジでDラッチ7によりラッチされる。Dラッチ7は、正端子Qから正相出力 S_{L2} をシフトレジスタ10の入力端子Hに供給する。

【0021】また、 $\Sigma\Delta$ 変調器6からの図3に示すようなRch用1ビットオーディオ信号入力 S_{R1} は、クロック入力端子9から供給される64F、クロック CK_1 の立ち上がりエッジでDラッチ8によりラッチされる。Dラッチ8は、反転端子Qバー(Q *)から逆相出力 S_{R2}^* をシフトレジスタ10の入力端子Gに供給する。

【0022】シフトレジスタ10は、64F、クロック CK_1 で入力されるデータのロード及びシフトを制御し、128F、クロック CK_2 で位相変調1ビットオーディオ信号 S_s を送送路12へ送出している。

【0023】このシフトレジスタ10は、同期ロードであるので64F、クロック CK_1 が“1”の時、128F、クロック CK_2 の立ち上がりエッジで、Dラッチ7の正相出力 S_{L2} 及びDラッチ8の逆相出力 S_{R2}^* を入力端子H及び入力端子Gからロードし、64F、クロック CK_1 が“0”の時、128F、クロック CK_2 の立ち上がりエッジで上記正相出力 S_{L2} 及び逆相出力 S_{R2}^* をシフトする。こうして、図3に示す変調信号 S_s が生成される。

【0024】復調部13は、Dラッチ14により64F、クロック CK_2 の立ち上がりエッジで正相の部分をラッチし、Dラッチ16によりインバータ18で反転された64F、クロック CK_2 の立ち下がりエッジで逆相の部分をラッチする。

【0025】Dラッチ14の正相出力 S_{L1} は、Dラッチ

15により64F_sクロックCK₂の立ち上がりエッジでラッチしなおされる。また、Dラッチ16の逆相出力S_{r₁}は、Dラッチ17により64F_sクロックCK₂の立ち上がりエッジでラッチしなおされる。このため、タイミング同期がとられたLch用1ビットオーディオ信号正相出力S₁と、Rch用1ビットオーディオ信号正相信号出力S_{r₁}とが、出力端子19と、出力端子20から導出される。

【0026】これらLch用1ビットオーディオ信号正相出力S₁と、Rch用1ビットオーディオ信号正相信号出力S_{r₁}とを差動入力として差動増幅器により差動出力を得れば、この1ビットオーディオ信号伝送装置1は、デジタル回路の電源変動や輻射ノイズに影響を与えるアナログオーディオ信号成分を伝送時に除去できるので、1ビットオーディオ信号を高品質のうちに伝送できる。また、アナログオーディオ部への悪影響の排除を可能とするのである。さらに、伝送路12で何らかの理由により混入した外来ノイズも打ち消すことができる。

【0027】次に、第2の実施形態について図4及び図5を参照しながら説明する。この第2の実施形態も、ΣΔ変調により得られた1ビットオーディオ信号を伝送部を通して伝送する1ビットオーディオ信号伝送装置51であるが、内部で同一の直流バイアス電圧のかかった二つのΣΔ変調器56及び58にアナログオーディオ信号と位相が反転された反転アナログオーディオ信号とを入力して得た二つの出力をΣΔ変調時の2倍のレートで交互に配置して変調信号S₂を生成する変調部54と、伝送路63が通した変調部54からの上記変調信号S₂を復調する復調部64とを備えてなる。

【0028】変調部54は、入力端子52からの入力アナログオーディオ信号S₀に直流バイアス電圧を印加する第1の加算器55と、位相反転器53が入力端子52からの入力アナログオーディオ信号S₀の位相を反転して得た位相反転信号S₀^{*}に直流バイアス電圧を印加する第2の加算器57と、第1の加算器55からの加算出力にΣΔ変調処理を施す上記第1のΣΔ変調器56と、第2の加算器57からの加算出力にΣΔ変調処理を施す上記第2のΣΔ変調器58と、第1のΣΔ変調器56からの1ビットオーディオデータS₁と第2のΣΔ変調器58からの1ビットオーディオデータS_{r₁}とを切り換えて出力するシフトレジスタ59とを備えてなる。

【0029】ここで、ΣΔ変調器56、58は、上記図2に示すような構成となる。ここでは説明を省略する。

【0030】シフトレジスタ59は、図5に示すような64F_sクロックCK₁で入力されるデータのロード及びシフトを制御し、128F_sクロックCK₂で変調1ビットオーディオ信号S₂を伝送路63へ送出している。このシフトレジスタ59は、上記シフトレジスタ10と同様に、同期ロードであるので入力端子61からの64F_sクロックCK₁が“1”の時、クロック入力端子62か

らの128F_sクロックCK₂の立ち上がりエッジで、ΣΔ変調器56の正出力S₁及びΣΔ変調器58の反転出力S_{r₁}とを入力端子H及び入力端子Gからロードし、64F_sクロックCK₁が“0”の時、128F_sクロックCK₂の立ち上がりエッジで上記正出力S₁及び逆相出力S_{r₁}をシフトする。

【0031】復調部となるDラッチ64では、64F_sクロックCK₂の立ち上がりエッジで伝送路63を介して伝送された位相変調信号S₂をラッチすることにより復調出力となる1ビットオーディオ信号S₃を出力端子65から出力する。

【0032】したがって、この1ビットオーディオ信号伝送装置51でもデジタル回路の電源変動や輻射ノイズを防ぐことができ、1ビットオーディオ信号を高品質のうちに伝送できる。また、アナログオーディオ部への悪影響の排除を可能とするのである。

【0033】この第2の実施形態となる1ビットオーディオ信号伝送装置51では、Dラッチ1個のみにより構成される復調部64を用いているが、図6に示すような復調部67を用いてもよい。この復調部67は差動出力を導出する。以下、この復調部67を用いた例を第2の実施形態の変形例として図6及び図7を参照しながら説明する。

【0034】伝送路63を介して伝送された変調信号S₂は、Dラッチ68により図7に示す64F_sクロックCK₂の立ち上がりエッジで正出力部分がラッチされ、Dラッチ69によりインバータ72で反転された64F_sクロックCK₂の立ち下がりエッジで反転出力の部分がラッチされる。

【0035】さらに、Dラッチ70で上記正出力部分となるDラッチ68の出力が、Dラッチ71で上記反転出力部分となるDラッチ69の出力が、64F_sクロックCK₂の立ち上がりエッジでラッチしなおされ、タイミングを同期させることにより、1ビット正信号出力S₄と、1ビット反転信号出力S₄^{*}とを得ることができる。

【0036】そこで、この復調部67の後段に上記1ビット正信号出力S₄と上記1ビット反転信号出力S₄^{*}とを差動入力とした差動増幅部を設けることにより、伝送路63で何らかの理由により混入した外来ノイズも打ち消すことができる。

【0037】また、この復調部67を用いれば、ΣΔ変調器56で発生するトーン現象によるノイズを抑えるために上記DCバイアス電圧を用いることができ、さらにこの上記DCバイアス電圧を以下に説明するようにアナログオーディオ信号への復調前に除去することができる。

【0038】第1の加算器55及び第2の加算器57が電圧入力端子60を介して供給されるDCバイアス電圧を上記入力アナログオーディオ信号S₀及び上記位相反転信号S₀^{*}に印加するのは、次段のΣΔ変調器で発生す

るトーンという現象の発生を避けるためにも有効である。

【0039】このトーンという現象は、(Robert C. Ledzius : The Basis and Architecture for the Reduction of Tones in a Sigma-Delta DAC : IEEE VOL.40, NO.7, JULY 1993) に開示されているように、“0”付近でアイドリングノイズを発生する現象である。このトーンによるノイズは、人間には可聴帯域のノイズとなって聞こえてしまう。これは、 $\Sigma\Delta$ 変調回路が“0”の入力を無理矢理1ビット化しようとすることにより発生する。したがって、トーン現象により発生したノイズを含んだ1ビットデジタルデータをアナログオーディオ信号として再生する際には除去しなければならない。このノイズを除去するために上記DCバイアス電圧を $\Sigma\Delta$ 変調器56の入力信号となるアナログオーディオ信号 S_0 に印加している。

【0040】しかし、このDCバイアス電圧は、1ビットオーディオ信号をアナログオーディオ信号として再生する際には除去しなければならない。仮に、このDCバイアス電圧を除去しないで残したままにしておくと、D/A変換されて得られたアナログオーディオ信号を一旦ミュート後、ミュート解除した際、アナログオーディオ信号に急峻なパルス状のノイズが含まれてしまう。また、スピーカにDCバイアスが残ったままのアナログオーディオ信号の供給を継続すると、スピーカのコイルはDCバイアス分により発熱するので、最悪スピーカを破壊してしまうことになる。

【0041】そこで、変調部67で得られた上記1ビット正信号出力 S_+ と、1ビット反転信号出力 S_- とを差動入力とすれば、DCバイアス電圧を除去できる。

【0042】さらに、この第2の実施形態では、図8に示すような復調部75を用いても良い。この復調部75を用いた例を第2の実施形態の他の変形例として以下に説明する。

【0043】この他の変形例の復調部75は、アナログの非巡回形(FIR)フィルタに位相復調機能を兼ねさせたものである。この復調部75は、4タップのアナログFIRフィルタを兼ねている。入力端子76から供給される変調信号 S_1 はDラッチ78、79、80、81、82及び83においてクロック入力端子77から供給される128F、クロックCK₁に同期してシフトレジストされていく。そして、Dラッチ85において変調信号 S_1 が、Dラッチ86、87及び88においてDラッチ79、81及び83の出力が、64F、クロックCK₁によってラッチされることにより位相復調が行われる。位相復調された出力は、抵抗89、90、91及び92とコンデンサ93とによってD/A変換される。

【0044】したがって、この復調部75は、D/A変換の直前で変調信号 S_1 を位相復調するので高品質のD/A変換出力を導出することができる。

【0045】また、この復調部75の前段に、本件出願人が既に特願平7-313346号により出願した信号処理装置で用いた、1ビットデータに含まれるエラーを検出するエラー検出手段と、このエラー検出手段にて検出したエラーに基づいてエラー発生期間にわたりFIRフィルタの出力をホールドし、かつエラー回復後遅延した信号を発生するホールド信号発生手段を備えさせ、上記ホールド信号の発生期間中上記FIRフィルタのシフト動作を禁止することで、前値ホールドを行わせるようにしてもよい。またさらに、この復調部75は、図6に示した差動出力形の復調部にも応用できる。

【0046】

【発明の効果】本発明に係る信号伝送装置は、相関性の高いnチャンネルの上記1ビット信号をn倍のレートの時分割データ列に変換すると共に変換されたデータを1ビット毎に交互に反転して変調信号を生成し、伝送部を介したこの変調信号を復調するので、 $\Sigma\Delta$ 変調された1ビットデジタル信号を送信する際、アナログオーディオ信号成分を抑制して高品質なデジタル信号伝送を可能とする。

【0047】また、本発明に係る信号伝送方法は、相関性の高いnチャンネルの上記1ビット信号をn倍のレートの時分割データ列に変換すると共に変換されたデータを1ビット毎に交互に反転して変調信号を生成し、伝送部を介したこの変調信号を復調するので、 $\Sigma\Delta$ 変調された1ビットデジタル信号を送信する際、アナログオーディオ信号成分を抑制して高品質なデジタル信号伝送を可能とする。

【図面の簡単な説明】

【図1】本発明に係る信号伝送装置及び方法の第1の実施形態となる1ビットオーディオ信号伝送装置のブロック図である。

【図2】上記1ビットオーディオ信号伝送装置が伝送しようとする1ビットオーディオ信号を出力する $\Sigma\Delta$ 変調器のブロック図である。

【図3】上記1ビットオーディオ信号伝送装置の動作を説明するためのタイミングチャートである。

【図4】本発明に係る信号伝送装置及び方法の第2の実施形態となる1ビットオーディオ信号伝送装置のブロック図である。

【図5】上記図4に示した1ビットオーディオ信号伝送装置の動作を説明するためのタイミングチャートである。

【図6】上記図4に示した1ビットオーディオ信号伝送装置の変形例の位相復調部のブロック図である。

【図7】上記図6に示した変形例の動作を説明するためのタイミングチャートである。

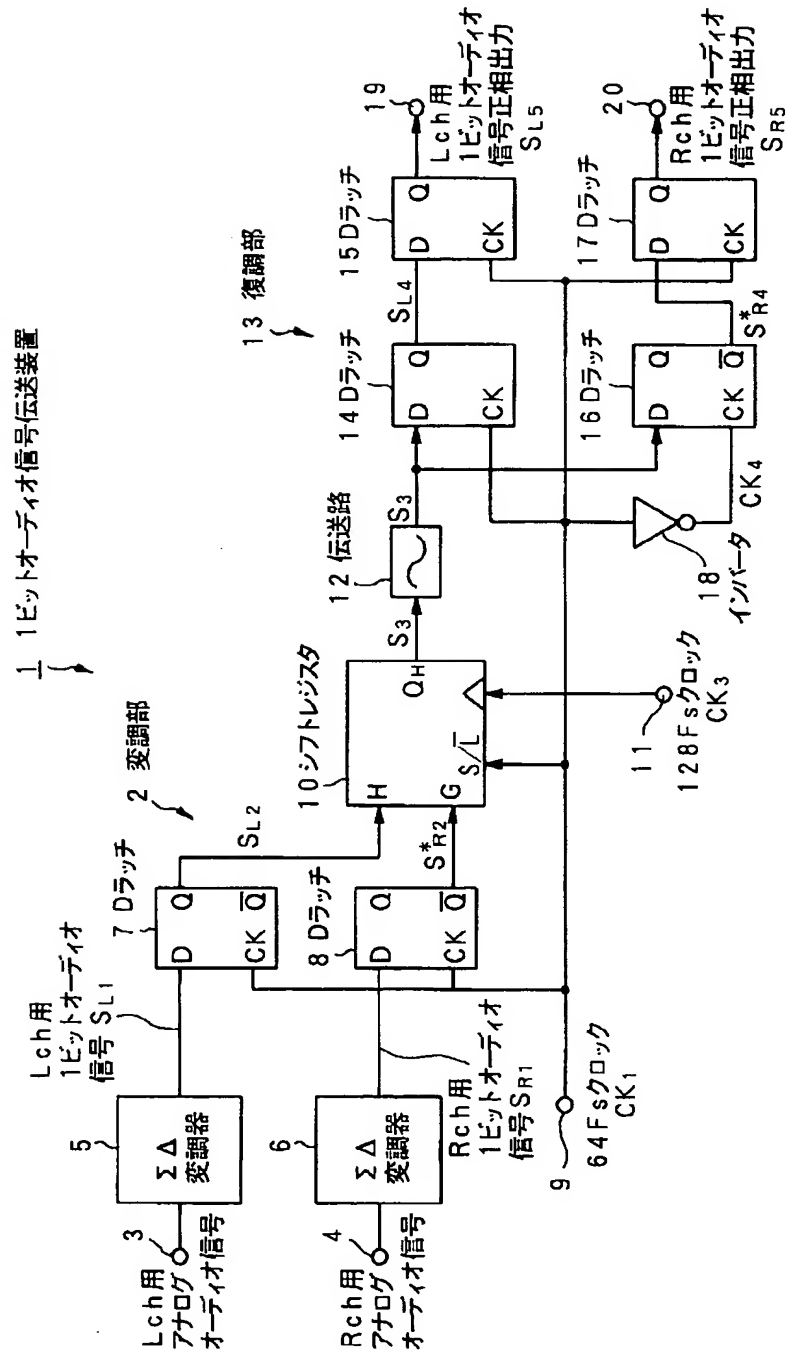
【図8】上記図4に示した1ビットオーディオ信号伝送装置の他の変形例の位相復調部のブロック図である。

【符号の説明】

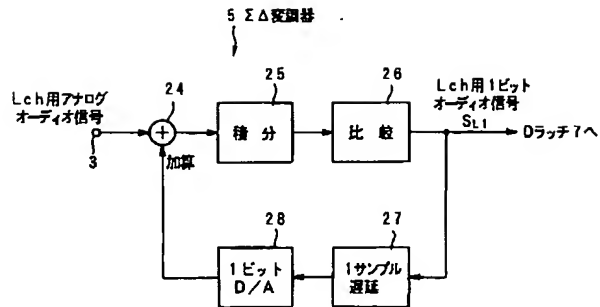
- 9
1 1ビットオーディオ信号伝送装置
2 変調部
5、6 $\Sigma\Delta$ 変調器
7、8 Dラッチ

- * 10 シフトレジスタ
12 伝送路
13 復調部
* 14、15、16、17 Dラッチ

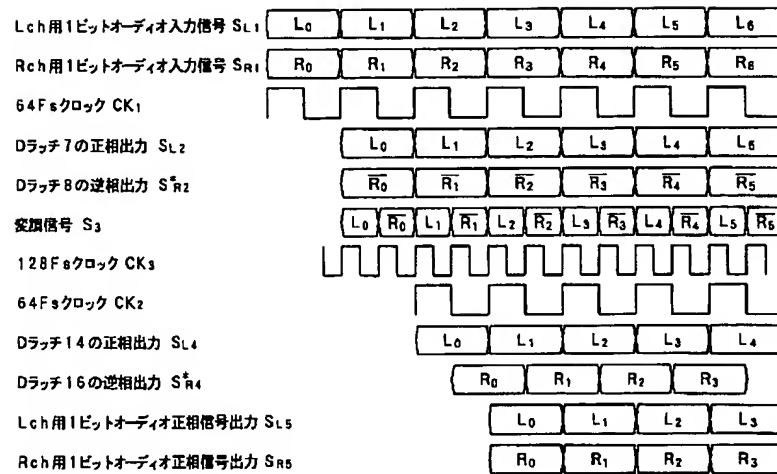
【図1】



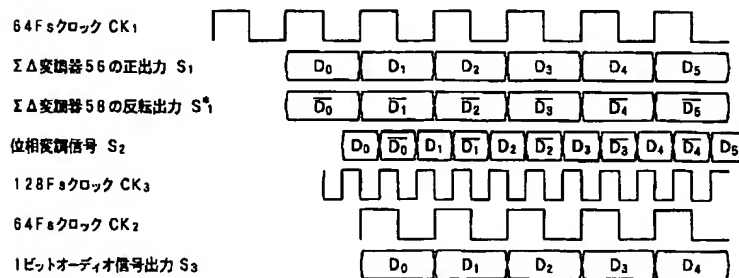
【図2】



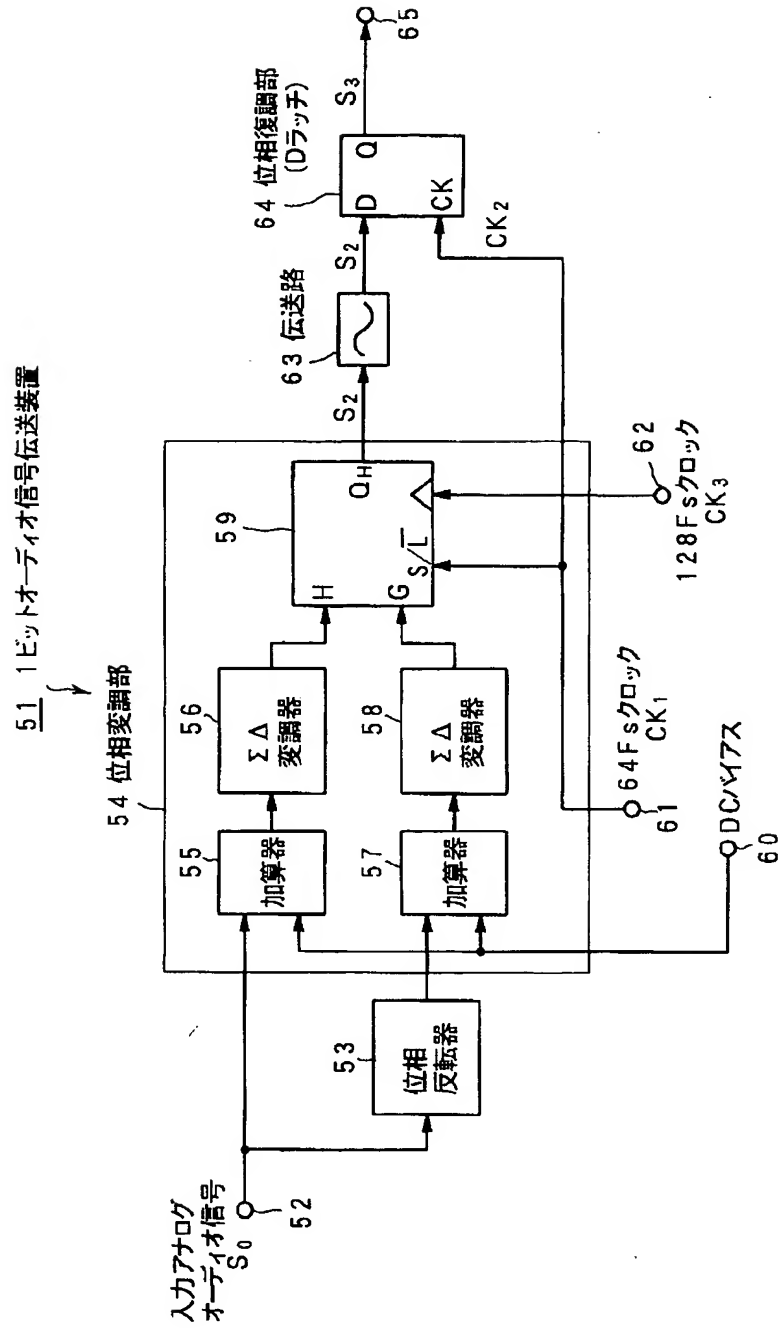
【図3】



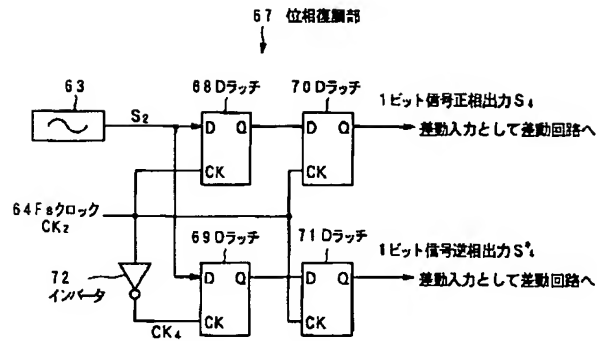
【図5】



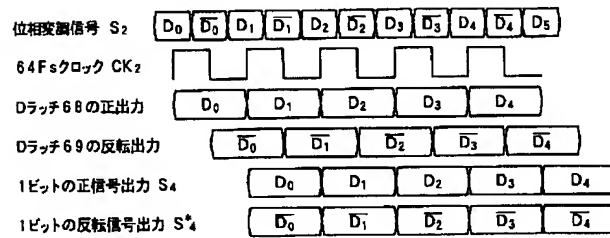
【図4】



【図6】



【図7】



【図8】

